

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
14. April 2005 (14.04.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/034131 A1

(51) Internationale Patentklassifikation⁷: **G11C 7/22**,
11/4076

(72) Erfinder; und

(75) Erfinder/Anmelder (*nur für US*): MINZONI, Alessan-
dro [IT/US]; 1534 Sterling Green Drive, Morrisville, North
Carolina 27560 (US).

(21) Internationales Aktenzeichen: PCT/EP2004/052126

(22) Internationales Anmeldedatum:
10. September 2004 (10.09.2004)

(74) Anwälte: JEHL, Volker usw.; Flüggenstrasse 13, 80639
München (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (*soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart*): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,
MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM,
ZW.

(26) Veröffentlichungssprache: Deutsch

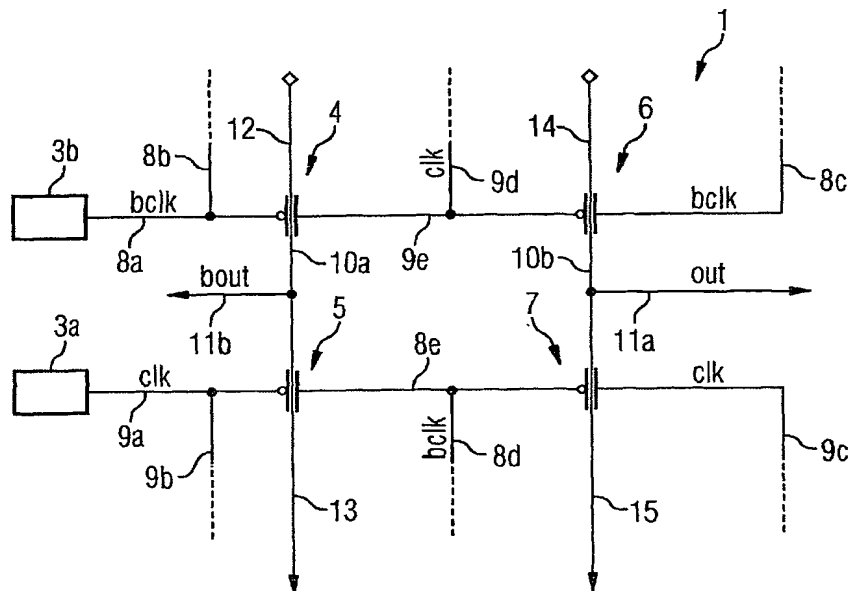
(30) Angaben zur Priorität:
103 45 491.8 30. September 2003 (30.09.2003) DE

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von
US*): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: CLOCK RECEIVER CIRCUIT ARRANGEMENT, ESPECIALLY FOR SEMICONDUCTOR COMPONENTS

(54) Bezeichnung: TAKT-RECEIVER-SCHALTUNGSANORDNUNG, INSBESONDERE FÜR HALBLEITER-BAUELE-
MENTE



(57) Abstract: The invention relates to a semiconductor component comprising a receiver circuit arrangement, particularly a clock receiver circuit arrangement (1). Also disclosed is a receiver circuit arrangement, above all a clock receiver circuit arrangement (1), comprising a first input (9a) that can be connected to a first terminal (3a) of a semiconductor component and a second input (8a) which can be connected to a second terminal (3b) of said semiconductor component. The invention is characterized in that the receiver circuit arrangement (1) is provided with several, especially more than three, transfer gates (4, 5, 6, 7).

[Fortsetzung auf der nächsten Seite]

WO 2005/034131 A1



(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Die Erfindung betrifft ein Halbleiter-Bauelement mit einer Receiver-, insbesondere Takt-Receiver-Schaltungsanordnung (1), sowie eine Receiver-, insbesondere Takt-Recciver-Schaltungsanordnung (1), mit einem an einen ersten Anschluss (3a) eines Halbleiter-Bauelements anschliessbaren ersten Eingang (9a), und einem an einen zweiten Anschluss (3b) des Halbleiter-Bauelements anschliessbaren zweiten Eingang (8a), d a d u r c h g e k e n n z e i c h n e t, dass die Receiver-Schaltungsanordnung (1) mehrere, insbesondere mehr als drei Transferelemente (4, 5, 6, 7) aufweist.